

Série N° 5Exercice 1

1. Combien de bascules sont nécessaires pour le MAR et le MBR d'une mémoire 1 K\*4 bits?
2. Combien de mots, devrait contenir une mémoire si son MAR est de 8bits?
3. En utilisant comme unité des RAM 256\*4 bits, concevoir une mémoire de:
  - a) 1 K\*4 bits
  - b) 1 K\*8 bits.

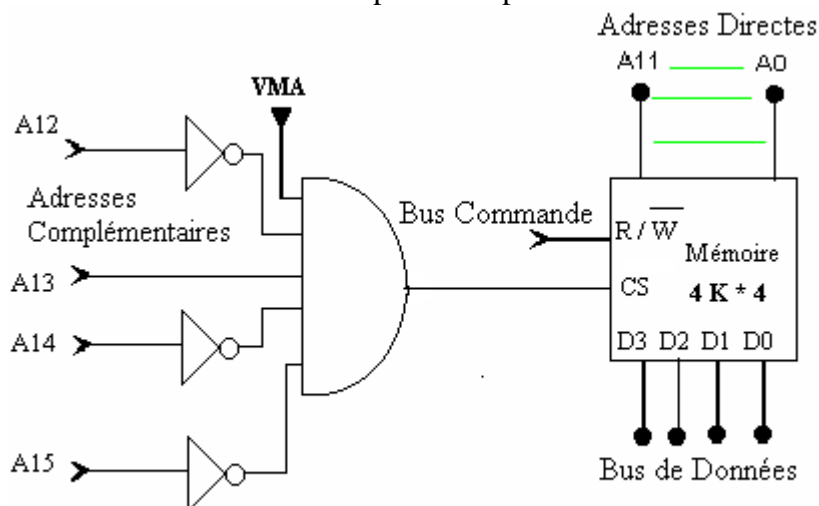
Exercice 2

On dispose d'une machine dont le bus d'adresse est sur 16 bits et le bus de données est sur 8 bits. La mémoire de cette machine est composée d'une RAM de 32Kilo\*8 et d'une ROM de 16Kilo\*8.

1. Quellesont les tailles des registre d'adresse MAR et MBR ?
2. Donner le schéma fonctionnel de cette RAM en utilisant des mémoires de 32k\*4bits
3. Donner le schéma fonctionnel global (RAM+ROM), en précisant les adresses de chaque boitier.

Exercice 3

Soit une mémoire RAM de 4Kilos\*4 représentée par le shéma suivant :



1. Quel est le rôle des brôches R/W et CS dans un circuit mémoire.
2. De combien de bits est constituée la donnée stockée dans cette mémoire.
3. De quelle capacité est cette mémoire(en Kbits puis en Koctets).
4. Quel doit être l'état du signal VMA (Valid Memory Access) et l'état des lignes A12 à A15 pour sélectionnercette mémoire.

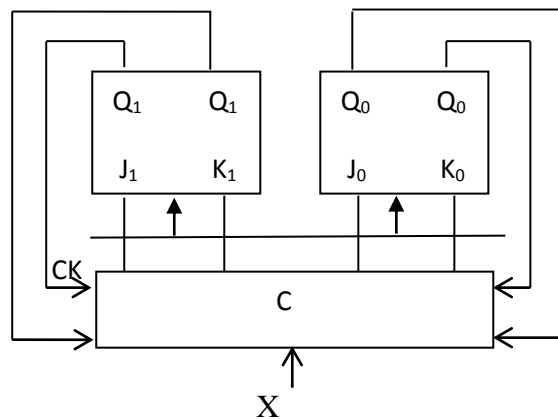
5. Donner la plage d'adresse(en Hexadécimal)utilisée par cette mémoire.
6. On veut augmenter la taille de la donnée à 16bits en associant plusieurs mémoire 4K\*4, donner le branchement nécessaires.

#### Exercice 4

Soit un circuit défini par le fonctionnement et le schéma bloc suivant :

FonctionnementSchéma

Q <sub>1</sub>	Q <sub>0</sub>	X	Q <sub>1</sub> +	Q <sub>2</sub> +
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0



- 1) Réaliser le circuit C permettant de donner (J<sub>0</sub>, K<sub>0</sub>) et (J<sub>1</sub>, K<sub>1</sub>).  
On veut réaliser le même fonctionnement en utilisant des bascules D au lieu des bascules JK et une mémoire ROM au lieu du circuit C.
- 2) Donner la table de vérité et le nouveau schéma bloc (préciser bien les entrées sorties).  
Combien de bit demandé dans la ROM ?

#### Exercice 5

Etablir la table de vérité d'un additionneur complet à 2 bits.

Réaliser le circuit d'un additionneur complet à 2 bits à l'aide d'une ROM.

#### Exercice 6

On considère une machine avec la configuration suivante : une mémoire centrale de taille **2 MØ**, avec des mots mémoires de **4 octets** et un bus d'adresse de taille **20bits**.

- 1- Calculer la taille minimale du bus d'adresse qui permet d'adresser cette mémoire.
- 2- Déterminer la plage d'adressage de cette mémoire (adresse minimale et adresse maximale en Hexa).
- 3- En fait, cette mémoire est constituée de deux blocs séparés. Le premier est une RAM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(00000)<sub>16</sub>** et le deuxième est une ROM de taille **1 M octets** de mots de **4 octets** adressable à partir de l'adresse **(60000)<sub>16</sub>**.
  - a- Donner le schéma de la mémoire en montrant les connexions nécessaires.
  - b- Déterminer les deux plages d'adressage respectivement de la RAM et la ROM.
- 4- Est-ce que la mémoire centrale de cet ordinateur est extensible ? Si oui, déterminer la taille de la mémoire d'extension et le nombre minimum de blocs mémoires (de même taille que les précédents) qu'on peut rajouter ? Justifier.